

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-060623**
 (43)Date of publication of application : **16.03.1988**

(51)Int.Cl. **H03K 3/286**

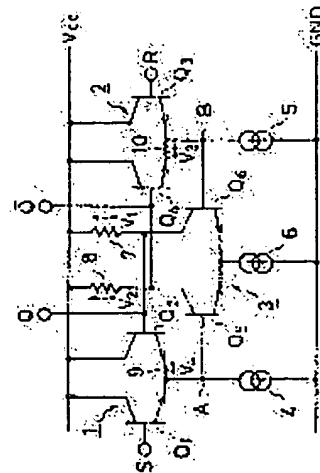
(21)Application number : **61-204485** (71)Applicant : **MITSUBISHI ELECTRIC CORP**
 (22)Date of filing : **29.08.1986** (72)Inventor : **UMEYAMA TAKEHIKO**
TADA MASASHIGE

(54) FLIP-FLOP CIRCUIT

(57)Abstract:

PURPOSE: To decrease the delay time between input and output even if the leading edge of an input signal has a time delay by providing a voltage drop resistor to one electrode of each transistor (TR) constituting the 1st and 2nd ECL differential pairs.

CONSTITUTION: An R-SFF circuit consists of the 1st input ECL differential pair 1 comprising TRs Q1, Q2, the 2nd input ECL differential pair 2 comprising TRs Q3, Q4 and the 3rd output ECL differential pair 3 comprising TRs Q5, Q6. Voltage drop resistors 9, 10 are inserted to emitters of the TRs Q2, Q4 respectively. Thus, a voltage drop is caused across the resistor 9 or 10 at the conduction of the TR Q2 or Q4, a common emitter potential of the ECL differential pair 1 or 2 is lowered, a threshold level of the output ECL differential pair 3 is decreased, the switching timing of conduction/nonconduction of the TRs Q5, Q6 is quickened, the delay time between the input and output is reduced to attain high speed operation.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭63-60623

⑫ Int. Cl.
H 03 K 3/286

識別記号
Z-8626-5J

⑬ 公開 昭和63年(1988)3月16日

審査請求 未請求 発明の数 1 (全 8 頁)

⑭ 発明の名称 フリップフロップ回路

⑮ 特願 昭61-204485
⑯ 出願 昭61(1986)8月29日

⑰ 発明者 梅山 竹彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑰ 発明者 多田 雅重 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑰ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

フリップフロップ回路

2. 特許請求の範囲

(1) 共通エミッタが低電位側に接続され、各コレクタが高電位側に接続された第1および第2のトランジスタから成り、前記第1のトランジスタのベースに第1の入力が与えられる、入力用の第1のECL差動対と、

共通エミッタが低電位側に接続され、各コレクタが高電位側に接続された第3および第4のトランジスタから成り、前記第3のトランジスタのベースに第2の入力が与えられる、入力用の第2のECL差動対と、

共通エミッタが低電位側に接続され、各コレクタがそれぞれ抵抗を介して高電位側に接続された第5および第6のトランジスタから成り、前記第1および第2のECL差動対の共通エミッタの電位に応じてそれぞれ前記第5および第6のトランジスタの導通／非導通が制御されて前記抵抗によ

る電圧降下を選択的に生じさせ、前記第5および第6のトランジスタのコレクタからそれぞれ正および反転出力が前記導通／非導通による前記電圧降下の有／無に応じた論理値として導出され、かつ前記第5および第6のトランジスタのコレクタの電位がそれぞれ前記第2および第1のECL差動対の基準電位として前記第4および第2のトランジスタのベースに与えられる、出力用の第3のECL差動対と、

前記第2および第4のトランジスタの少なくとも一方のトランジスタの一方電極に印入されて、当該トランジスタの導通時に電圧降下を生じさせ、前記第5および第6のトランジスタの導通／非導通の切り替りタイミングを早める電圧降下用抵抗とを備えるフリップフロップ回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はバイポーラ半導体集積回路においてニミッタカップルドロジック (ECL) により構成されたフリップフロップ回路に關し、特にその

動作速度の改善に関する。

(従来の技術)

第3図は、従来のECL R-Sフリップフロップ回路を示す回路図である。図において V_{CC} は電源電位、GNDは接地電位であり、それぞれ高電位側および低電位側となる。1はセット入力Sの入力用の第1のECL差動対、2はリセット入力Rの入力用の第2のECL差動対、3は正および反転出力Q、 \bar{Q} の出力用の第3のECL差動対である。

セット入力用の第1のECL差動対1は第1および第2のトランジスタ Q_1 、 Q_2 から成り、その共通エミッタは定電流源4を介し低電位側GNDに接続され、各コレクタは高電位側 V_{CC} に接続される。セット入力Sは第1のトランジスタ Q_1 のベースに与えられる。リセット入力用の第2のECL差動対2は第3および第4のトランジスタ Q_3 、 Q_4 から成り、その共通エミッタは定電流源5を介して低電位側GNDに接続され、各コレクタは高電位側 V_{CC} に接続される。リセット入力

いて電圧降下が生じて当該一方のトランジスタのコレクタ電位が下がり、他方の非導通のトランジスタのコレクタ電位は高電位に維持され、これらの電位がそれぞれ“L”、“H”的論理を表わす信号として出力されるように構成されている。図においては第5のトランジスタ Q_5 のコレクタから \bar{Q} 出力が導出され、第6のトランジスタ Q_6 のコレクタからQ出力が導出される。

次に第4図の波形図を参照して、第3図の回路の動作について説明する。いま第4図の時刻 T_1 以前において、第3図のR-Sフリップフロップ回路は、Q出力が“L”、 \bar{Q} 出力が“H”的状態にあるものとする。このとき第2および第5のトランジスタ Q_2 、 Q_5 は非導通状態、第4および第6のトランジスタ Q_4 、 Q_6 は導通状態にある。このため抵抗7には電流が流れ、 V_1 の電圧降下が生じ、抵抗8には電流が流れず電圧降下は生じていない。またこの時点ではセット入力Sおよびリセット入力Rがともに与えられていないとする。第1および第3のトランジスタ Q_1 、 Q_3 は

Rは第3のトランジスタ Q_3 のベースに与えられる。

第3のECL差動対3は第5および第6のトランジスタ Q_5 、 Q_6 から成り、その共通エミッタは定電流源6を介して低電位側GNDに接続される。第5のトランジスタ Q_5 のコレクタは抵抗7を介して高電位側 V_{CC} に接続されるとともに、第4のトランジスタ Q_4 のベースに接続される。第6のトランジスタ Q_6 のコレクタは抵抗8を介して高電位側 V_{CC} に接続されるとともに、第2のトランジスタ Q_2 のベースに接続される。第5および第6のトランジスタ Q_5 、 Q_6 のベースは、第1および第2のECL差動対1、2の共通エミッタと定電流源4、5との間の接続点A、Bにそれぞれ接続され、第1および第2のECL差動対1、2の共通エミッタの電位すなわち接続点A、Bの電位に応じて、第5および第6のトランジスタ Q_5 、 Q_6 の導通／非導通が制御される。そして第5および第6のトランジスタ Q_5 、 Q_6 のうちの一方の導通により、対応する抵抗7または8にお

非導通状態にある。したがって時刻 T_1 以前では、第4図(b)に示すように、接続点Aの電位は高電位 V_{CC} よりも第2のトランジスタ Q_2 のベース・エミッタ間電圧降下 V_{BE} および抵抗7による電圧降下 V_1 だけ低く、接続点Bの電位は高電位 V_{CC} よりも第4のトランジスタ Q_4 のコレクタ・エミッタ間電圧降下 V_{CE} だけ低い。

時刻 T_1 において、第4図(a)に示すように、セット入力Sに“H”的信号が加えられるとする。この“H”的信号は第3図のR-Sフリップフロップ回路の前段のECL回路から与えられるが、ECL論理回路では普通回路のように“H”的信号の立上りが遅れる。このため、第1のトランジスタ Q_1 が完全に導通するのに時間がかかり、接続点Aの電位は第4図(b)に示すようにセット入力Sの立上りに応じて徐々に上昇していく。そして接続点Aの電位と接続点Bの電位が等しくなった時刻 T_2 において、第5のトランジスタ Q_5 は導通し、第6のトランジスタ Q_6 は非導通となる。

第5のトランジスタ Q_5 の導通により抵抗8に

電流が流れて電圧降下 V_2 が生じ、第5のトランジスタ Q_5 のコレクタ電位が低下して第4のトランジスタ Q_4 が非導通になるとともに、 \bar{Q} 出力が "H" から "L" に変化する。このとき接続点Bの電位は、第4のトランジスタ Q_4 のベース電荷が第5のトランジスタ Q_5 および定電流源6を通過して抜け、かつ第6のトランジスタ Q_6 のベース電荷が定電流源5を通じて抜けるので、第4図(b)に示すように比較的はやすく立下る。立下り後の電位は、高電位 V_{CC} よりも第4のトランジスタ Q_4 のベース・エミッタ間電圧降下 V_{BE} および抵抗8による電圧降下 V_2 だけ低い値である。一方、第6のトランジスタ Q_6 の非導通により抵抗7による電圧降下 V_1 が生じなくなり、第6のトランジスタ Q_6 のコレクタ電位が上昇してQ出力は "L" から "H" に変化する。このとき第6のトランジスタ Q_6 の完全な遮断に時間遅れが生じるので、Q出力は第4図(c)に示すような緩やかな立上りを示す。そして時刻 T_3 においてセット入力Sが "H" から "L" に立下るが、第2のトランジ

ジスタ Q_2 の導通により接続点Aの電位は維持され、出力用の第3のECL差動対において第5のトランジスタ Q_5 は導通、第6のトランジスタ Q_6 は非導通のままである。この状態がリセット入力Rに "H" の信号が加えられるまで続く。

(発明が解決しようとする問題点)

従来のECLR-Sフリップフロップ回路は以上のように構成されているので、セット入力Sの立上りに時間遅れがある場合には、セット入力Sが入った時間よりも T_d だけ遅れて "H" のQ出力が出力される。このことはリセット入力Rの立上りに時間遅れがある場合の "H" の \bar{Q} 出力についても同様である。そしてECL論理回路では通常 "H" 信号の立上りが遅れるので、セット入力Sおよびリセット入力RをECL論理回路から得る場合には、入出力間ににおける上記遅延 T_d は通常的に生じることになる。このめECLR-Sフリップフロップ回路の動作の高速性が阻害されるという問題があった。このことは類似の構成を有する他のECLフリップフロップ回路においても

同様である。

この発明は、このような問題点を解消するためになされたもので、入力信号の立上りに時間遅れがある場合にも入出力間の遅延時間が比較的短く、高速動作を可能としたフリップフロップ回路を得ることを目的とする。

(問題点を解決するための手段)

この発明にかかるフリップフロップ回路は、入力用の第1および第2のECL差動対と、出力用の第3のECL差動対と、この第3のECL差動対の切り替りタイミングを早めるための電圧降下用抵抗とを備える。前記第1のECL差動対は、共通エミッタが低電位側に接続され、各コレクタが高電位側に接続された第1および第2のトランジスタから成り、前記第1のトランジスタのベースには第1の入力が与えられる。前記第2のECL差動対は、共通エミッタが低電位側に接続され、各コレクタが高電位側に接続された第3および第4のトランジスタから成り、前記第3のトランジスタのベースには第2の入力が与えられる。前記

第3のECL差動対は、共通エミッタが低電位側に接続され、各コレクタがそれぞれ抵抗を介して高電位側に接続された第5および第6のトランジスタから成り、前記第1および第2のECL差動対の共通エミッタの電位に応じてそれぞれ前記第5および第6のトランジスタの導通/非導通が制御されて前記抵抗による電圧降下を選択的に生じさせ、前記第5および第6のトランジスタのコレクタからはそれぞれ正および反転出力が、前記導通/非導通による前記電圧降下の有/無に応じた論理値として導出される。前記第5および第6のトランジスタのコレクタの電位はそれぞれ、前記第2および第1のECL差動対の基準電位として前記第4および第2のトランジスタのベースに与えられる。前記電圧降下用抵抗は、前記第2および第4のトランジスタの少なくとも一方のエミッタに挿入される。

(作用)

この発明においては、電圧降下用抵抗が第2および第4のトランジスタの少なくとも一方のトランジ

ンジスタの一方電極に挿入されているので、当該トランジスタの導通時に電圧降下が生じて対応のECL差動対の共通エミッタの電位が低下し、これにより出力用の第3のECL差動対の開値レベルが低下して、第5および第6のトランジスタの導通／非導通の切り替りタイミングが早まり、出入力間ににおける遅延時間が短縮される。

(実施例)

第1図は、この発明をECLR-Sフリップフロップ回路に適用した一実施例を示す回路図である。この回路は第3図の従来のECLR-Sフリップフロップ回路と同様、高電位側 V_{CC} と低電位側GNDとの間にそれぞれ接続されたセット入力用の第1のECL差動対1、リセット入力用の第2のECL差動対2および、Q、 \bar{Q} 出力用の第3のECL差動対3を含んで構成されており、各ECL差動対1～3における第1～第6のトランジスタ Q_1 ～ Q_6 や抵抗7、8および定電流源4～6の接続回路も第3図の従来回路と同様である。

一方、第3図の従来回路と異なり、セット入力

用の第1のECL差動対1を構成する第2のトランジスタ Q_2 のエミッタに抵抗9が挿入され、リセット入力用の第2のECL差動対2を構成する第4のトランジスタ Q_4 のエミッタに抵抗10が挿入される。これらの抵抗9、10は、対応のトランジスタ Q_2 または Q_4 の導通時に電圧降下を生じさせて、接続点Aまたは接続点Bの電位を低下させ、出力用の第3のECL差動対3の開値レベルを低下させる役割を果たす。

次に第2図の波形図を参照して、第1図の回路の動作について説明する。いま第2図の時刻 T_1 以前において、第1図のR-Sフリップフロップ回路は、Q出力が“L”、 \bar{Q} 出力が“H”的状態にあるものとする。このとき第2および第5のトランジスタ Q_2 、 Q_5 は非導通状態、第4および第6のトランジスタ Q_4 、 Q_6 は導通状態にある。このため抵抗7は電流が流れず V_1 の電圧降下が生じ、抵抗8には電流が流れず電圧降下は生じていない。また抵抗10には電流が流れず V_3 の電圧降下が生じ、抵抗9には電流が流れず電圧降下

は生じていない。一方この時点では、セット入力Sおよびリセット入力Rがともに与えられていないとすると、第1および第3のトランジスタ Q_1 、 Q_3 は非導通状態にある。したがって時刻 T_1 以前では、第2図(b)に示すように、接続点Aの電位は高電位 V_{CC} よりも第2のトランジスタ Q_2 のベース・エミッタ間電圧降下 V_{BE} および抵抗7による電圧降下 V_1 だけ低く、接続点Bの電位は高電位 V_{CC} よりも第4のトランジスタ Q_4 のコレクタ・エッタ間電圧降下 V_{CE} および抵抗10による電圧降下 V_3 だけ低い。

時刻 T_1 において、第2図(a)に示すように、セット入力Sに“H”的信号が加えられるとする。この“H”的信号の立ち上りは、前述したように時刻遅れを生じて緩やかなものとなっている。このためトランジスタ Q_1 が完全に導通するのに時間がかかり、接続点Aの電位は第2図(b)に示すようにセット入力Sの立ち上りに応じて徐々に上昇していく。そして接続点Aの電位と接続点Bの電位が等しくなった時刻 T_2 において、第5のトラン

ジスタ Q_5 は導通し、第6のトランジスタ Q_6 は非導通となる。いま接続点Bの電位は

$$V_{CC} - V_{CE} - V_3 \quad \dots (1)$$

であり、第3図の従来回路の場合の

$$V_{CC} - V_{CE} \quad \dots (2)$$

と比較して、抵抗10による電圧降下 V_3 の分だけ低くなっているので、接続点Aの電位が接続点Bの電位に達するタイミングがその分だけ早められる。すなわち出力用の第3のECL差動対3の開値レベルが V_3 だけ低下して、第5および第6のトランジスタ Q_5 、 Q_6 の導通／非導通の切り替りタイミングが早まる。

第5のトランジスタ Q_5 の導通により抵抗8に電流が流れて電圧降下 V_2 が生じ、第5のトランジスタ Q_5 のコレクタ電位が低下して第4のトランジスタ Q_4 が非導通になるとともに、 \bar{Q} 出力が“H”から“L”に変化する。このとき接続点Bの電位は、第4のトランジスタ Q_4 のベース電荷が第5のトランジスタ Q_5 および定電流源6を通じて抜け、かつ第6のトランジスタ Q_6 のベース

電荷が定電源 V_5 を通じて抜けるので、第2図(b)に示すように比較的はやく立下る。立下り後の電位は、高電位 V_{CC} よりも第4のトランジスタ Q_4 のベース・エミッタ間電圧降下 V_{BE} および抵抗 8 による電圧降下 V_2 だけ低い値である。一方、第6のトランジスタ Q_6 の非導通により抵抗 7 による電圧降下 V_1 が生じなくなり、第6のトランジスタ Q_6 のコレクタ電位が上昇してQ出力は“L”から“H”に変化する。このとき第6のトランジスタ Q_6 の完全な遮断に時間遅れが生じるので、Q出力は第2図(c)に示すような緩やかな立上りを示す。

一方、時刻 T_2 以後においても、入力用の第1のECL差動対1ではトランジスタ Q_1 のベース電圧がトランジスタ Q_2 のベース電圧よりも高く、トランジスタ Q_1 の優位の状態が続くので、接続点Aの電位は時刻 T_1 以前と同様にセット入力Sの立上りにしたがって徐々に上昇していく。そして第1のトランジスタ Q_1 が完全に導通した状態で、接続点Aの電位は、高電位 V_{CC} よりも第1の

なっているので、リセット入力Rの“H”的立上りに時間遅れがある場合にも上述と同様に第3のECL差動対3の切り替りが速やかに行なわれ、入出力回路における選択時間が短縮される。

なお、上記実施例においては、セット入力用の第1のECL差動対1の基準側トランジスタ Q_2 とリセット入力用の第2のECL差動対2の基準側トランジスタ Q_4 の両方のエミッタに電圧降下用抵抗を挿入したが、いずれか一方とすることもでき、またエミッタではなくコレクタに挿入することもできる。またECLR-Sフリップフロップ回路について説明したが、この発明は類似の構成を有するそれ以外のECLによるフリップフロップ回路すべてに応用できる。

(発明の効果)

以上説明したようにこの発明によれば、入力用の第1および第2のECL差動対の基準側トランジスタの少なくとも一方に電圧降下用抵抗を挿入して、出力用のECL差動対の閾値レベルを下げるようとしたので、入力信号の立上りに時間遅れ

トランジスタ Q_1 のコレクタ・エミッタ間電圧降下 V_{CE} だけ低い値となる。

その後しばらくして、時刻 T_3 においてセット入力Sが“H”から“L”に立下るが、このとき第1のトランジスタ Q_1 が非導通になるとともに第2のトランジスタ Q_2 が導通して、抵抗 9 による電圧降下 V_4 が生じる。したがって、接続点Aの電位は、高電位 V_{CC} よりも第2のトランジスタ Q_2 のコレクタ・エミッタ間電圧降下 V_{CE} および抵抗 9 による電圧降下 V_4 だけ低い値となる。

$$V_{CC} - V_{CE} - V_4 \quad \dots (3)$$

となるが、接続点Bの電位は

$$V_{CC} - V_{BE} - V_2 \quad \dots (4)$$

であり、 $V_{BE} + V_2 > V_{CE} + V_4$ である限り出力用の第3のECL差動対3の状態は従前のまま維持される。すなわち第5のトランジスタ Q_5 は導通、第6のトランジスタ Q_6 は非導通のままである。この状態がリセット入力Rに“H”的信号が加えられるまで続き、このとき(3)式に示すように接続点Aの電位は従来よりも V_1 だけ低い値と

がある場合にも入出力回路の選択時間が比較的短く、高速動作の可能なフリップフロップ回路を実現することができる。

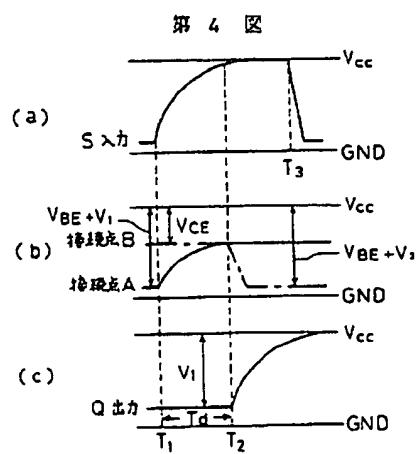
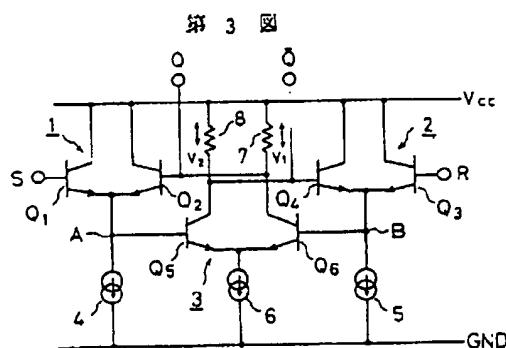
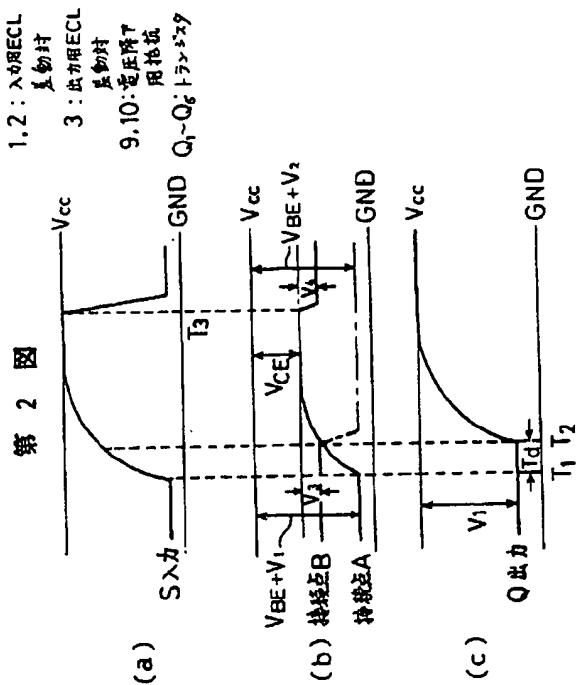
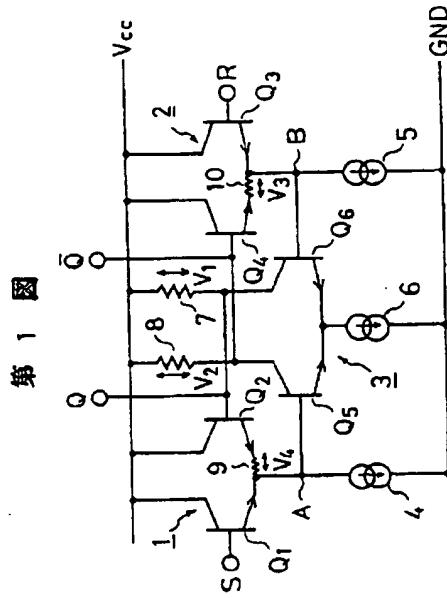
4. 図面の簡単な説明

第1図はこの発明の一実施例を示す回路図、第2図はその波形図、第3図は従来のECLR-Sフリップフロップ回路を示す回路図、第4図はその波形図である。

図において、1および2は入力用ECL差動対、3は出力用ECL差動対、9および10は電圧降下用抵抗、 Q_1 ～ Q_6 はトランジスタである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大岩 勇雄



手続補正書(自発)

昭和 62年 2月 6日

特許庁長官殿

1. 事件の表示 特願昭 61-204485号

2. 発明の名称

フリップフロップ回路

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375) 弁理士 大岩増雄
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄および図面

6. 補正の内容

(1) 明細書の第5頁第13行ないし第15行の「このとき第2および第5のトランジスタQ₂・Q₅は非導通状態、第4および第6のトランジスタQ₄・Q₆は」を、「このとき第5のトランジスタQ₅は非導通状態、第6のトランジスタQ₆は」に訂正する。

(2) 明細書の第6頁第6行ないし第7行の「Q₄のコレクタ・エミッタ間電圧降下V_{CE}」を、「Q₄のベース・エミッタ間電圧降下V_{BE}」に訂正する。

(3) 明細書の第7頁第2行ないし第3行の「第4のトランジスタQ₄が非導通になるとともに」を削除する。

(4) 明細書の第7頁第4行ないし第8行の「このとき接続点Bの電位は、第4のトランジスタQ₄のベース電荷が…定電流源5を通じて抜けるので、」を、「このとき接続点Bの電位は第5

(10) 明細書の第13頁第2行ないし第4行の「がともに与えられていない…は非導通状態にある。したがって」を、「にそれぞれ前段のECL回路よりV₁・V₂が入力されているとすると、」に訂正する。

(11) 明細書の第13頁第9行ないし第10行の「コレクタ・エミッタ間電圧降下V_{CE}」を、「ベース・エミッタ間電圧降下V_{BE}」に訂正する。

(12) 明細書の第14頁第3行の「V_{CC}-V_{CE}-V₃」を、「V_{CC}-V_{BE}-V₃」に訂正する。

(13) 明細書の第14頁第5行の「V_{CC}-V_{CE}」を、「V_{CC}-V_{BE}」に訂正する。

(14) 明細書の第14頁第15行ないし第16行の「第4のトランジスタQ₄が非導通になるとともに」を削除する。

(15) 明細書の第14頁第18行ないし第15頁第1行の「第4のトランジスタQ₄の…Q₆のベース電荷が定電流源5を通じて抜けるので、」を、「第5のトランジスタQ₅が導通すると同時に、」に訂正する。

のトランジスタQ₅が導通と同時に、」に訂正する。

(15) 明細書の第7頁第17行ないし第18行の「完全な遮断に時間遅れが生じるので」を、「コレクタ容量と抵抗7によって」に訂正する。

(16) 明細書の第8頁第1行の「の導通」を削除する。

(17) 明細書の第12頁第5行ないし第6行の「対応のトランジスタQ₂またはQ₄の導通時に」を削除する。

(18) 明細書の第12頁第14行ないし第16行の「このとき第2および第5のトランジスタQ₂・Q₅は非導通状態、第4および第6のトランジスタQ₄・Q₆は導通状態にある。」を、「このとき第5のトランジスタQ₅は非導通状態、第6のトランジスタQ₆は導通状態にある。」に訂正する。

(19) 明細書の第12頁第19行ないし第13頁第1行の「また抵抗10には…が流れず電圧降下は生じていない。」を削除する。

(16) 明細書の第15頁第3行ないし第5行の「高電位V_{CC}よりも…8による電圧降下V₂」を、「リセット入力Rの電位V₂よりも第3のトランジスタQ₃のベース・エミッタ間電圧降下V_{BE}」に訂正する。

(17) 明細書の第15頁第10行ないし第11行の「完全な遮断に時間遅れが生じるので」を、「コレクタ容量と抵抗7によって」に訂正する。

(18) 明細書の第15頁第18行ないし第20行の「そして第1のトランジスタQ₁が完全に導通した状態で、」を削除する。

(19) 明細書の第16頁第1行ないし第2行の「コレクタ・エミッタ間電圧降下V_{CE}だけ近い値」を、「ベース・エミッタ間電圧降下V_{BE}だけ低い値」に訂正する。

(20) 明細書の第16頁第3行の「その後しばらくして、」を削除する。

(21) 明細書の第16頁第9行の「コレクタ・エミッタ間電圧降下V_{CE}」を、「ベース・エミッタ間電圧降下V_{BE}」に訂正する。

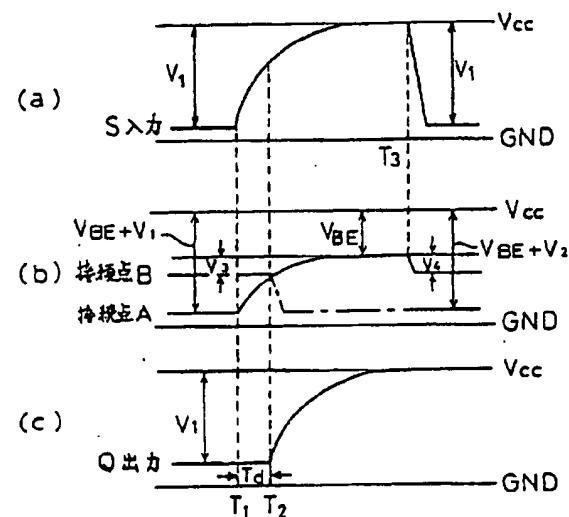
(22) 明細書の第16頁第11行の
 「 $V_{CC} - V_{CE} = V_4$ 」を、「 $V_{CC} - V_{BE} = V_4$ 」
 に訂正する。

(23) 明細書の第17頁第10行ないし第11
 行の「でき、またエミッタではなくコレクタに挿
 入することもできる。」を、「できる。」に訂正
 する。

(24) 図面の第2図および第4図を別紙のと
 り訂正する。

以上

第2図



第4図

